

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
)
Makoto NAKANISHI)
) Group Art Unit: Unassigned
Serial No.: To be assigned)
) Examiner: Unassigned
Filed: March 20, 2001)
)
For: MULTI-DIMENSIONAL FOURIER)
TRANSFORM PARALLEL)
PROCESSING METHOD FOR)
SHARED MEMORY TYPE)
SCALAR PARALLEL COMPUTER)



SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant submits herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2000-358233
Filed: November 24, 2000.

It is respectfully requested that the applicant be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. §119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 20, 2001

By: _____

James D. Halsey, Jr.
Registration No. 22,729

700 Eleventh Street, N.W.
Suite 500
Washington, D.C. 20001
(202) 434-1500

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: November 24, 2000

Application Number: Patent Application No. 2000-358233

Applicant(s): FUJITSU LIMITED

February 16, 2001

Commissioner,
Patent Office Kozo OIKAWA

Certificate No. 2001-3007755

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年11月24日

出 願 番 号
Application Number:

特願2000-358233

出 願 人
Applicant(s):

富士通株式会社

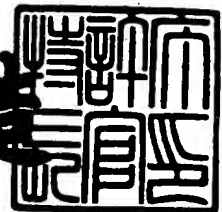


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3007755

【書類名】 特許願

【整理番号】 0051610

【提出日】 平成12年11月24日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/14

【発明の名称】 共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理方法

【請求項の数】 3

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中西 誠

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100074099

【住所又は居所】 東京都千代田区二番町8番地20 二番町ビル3F

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【選任した代理人】

【識別番号】 100067987

【住所又は居所】 神奈川県横浜市鶴見区北寺尾7-25-28-503

【弁理士】

【氏名又は名称】 久木元 彰

【電話番号】 045-573-3683

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理方法

【特許請求の範囲】

【請求項 1】 複数のプロセッサを有する共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理方法であって、

変換すべき多次元データを該複数のプロセッサの数と同じ数の複数の 2 次元データに分割して、各プロセッサの 2 次キャッシュメモリに格納する分割ステップと、

該 2 次キャッシュメモリに格納される該 2 次元データを各プロセッサで 2 次元フーリエ変換する 2 次元フーリエ変換ステップと、

上記 2 次元フーリエ変換ステップを必要な回数繰り返し、必要に応じて、残った 1 次元分のフーリエ変換を各プロセッサに分担して処理させる 1 次元フーリエ変換ステップと、

を備えることを特徴とする並列処理方法を情報装置に実現させるプログラムを格納した、情報装置読み取り可能な記録媒体。

【請求項 2】 前記 2 次元フーリエ変換ステップにおいて、前記 2 次キャッシュメモリから、ある次元方向のベクトルデータを複数本ずつ 1 次キャッシュメモリにコピーして、順次処理を行うことを特徴とする請求項 1 に記載の記録媒体。

【請求項 3】 前記多次元フーリエ変換は、3 次元フーリエ変換であることを特徴とする請求項 1 に記載の記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理方法に関する。

【0002】

【従来の技術】

ベクトル計算機向け多次元フーリエ変換は、ベクトル長をなるべく大きくする

ことを目標にして開発されている。特に 3 次元フーリエ変換など、高次のフーリエ変換を行う時には、ベクトル長を $n_1 \times n_2$ (n_1 、 n_2 は、フーリエ変換を行うべきデータの 1 つの次元方向の長さ) にとるアルゴリズムを採用していた。

【0 0 0 3】

また、RISC のスカラプロセッサでは、データをキャッシュに保存して再利用することが、性能を引き出す上でのキーポイントとなる。このため、1 次元目のフーリエ変換を行う時には、1 次元目のデータが 3 次元目になるような転置を行ってからフーリエ変換を行い、変換後再度転置を行ってもとに戻す方法を使っていた。

【0 0 0 4】

また、3 次元フーリエ変換で利用する 1 次元フーリエ変換も内部でベクトル長を長くする方式を採用していた。

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、共有メモリ型スカラ並列計算機においては、1 次キャッシュメモリや 2 次キャッシュメモリに格納されているデータを有効に利用して計算しないと、共有メモリとプロセッサ間の通信が頻繁に起こり、大きなオーバーヘッドとなってしまう。

【0 0 0 6】

本発明の課題は、キャッシュメモリを有効に利用した多次元フーリエ変換の並列処理方法を提供することである。

【0 0 0 7】

【課題を解決するための手段】

本発明の並列処理方法は、複数のプロセッサを有する共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理方法であって、変換すべき多次元データを該複数のプロセッサの数と同じ数の複数の 2 次元データに分割して、各プロセッサの 2 次キャッシュメモリに格納する分割ステップと、該 2 次キャッシュメモリに格納される該 2 次元データを各プロセッサで 2 次元フーリエ変換する 2 次元フーリエ変換ステップと、上記 2 次元フーリエ変換ステップを必要な回数

繰り返し、必要に応じて、残った1次元分のフーリエ変換を各プロセッサに分担して処理させる1次元フーリエ変換ステップとを備えることを特徴とする。

【0008】

本発明によれば、多次元フーリエ変換において、2次キャッシュメモリに格納されているデータを有効に利用してフーリエ変換ができるので、共有メモリとのデータのやりとりを頻繁に行う必要が無く、効率の良い並列処理を行うことができる。

【0009】

【発明の実施の形態】

RISCのスカラプロセッサをつなぐメモリは、共有してアクセスできるSMPマシンでは、各プロセッサにキャッシュがある。更に1次キャッシュ、2次キャッシュがある。

【0010】

図1は、共有メモリ型スカラ並列計算機のハードウェア構成例を示す図である。

共有メモリ型スカラ並列計算機は、複数のプロセッサ10-1、10-2、
 ・ ・ ・ 10-nが2次キャッシュメモリ13-1、13-2、
 ・ ・ ・ 13-nを介して相互結合網12に接続される。各プロセッサ10-1、10-2、
 ・ ・ ・ 10-nは、その内部あるいは、2次キャッシュメモリ13-1、13-2、
 ・ ・ ・ 13-nよりプロセッサ側に1次キャッシュメモリが設けられる。また、各プロセッサ10-1、10-2、
 ・ ・ ・ 10-nに共有となっているメモリモジュール11-1、11-2、
 ・ ・ ・ 11-nは、相互結合網12を介してプロセッサ10-1、10-2、
 ・ ・ ・ 10-nがアクセス可能となってる。プロセッサ10-1、10-2、
 ・ ・ ・ 10-nがデータ処理を行う場合には、まず、メモリモジュール11-1、11-2、
 ・ ・ ・ 11-nから1つのプロセッサが担当するデータを2次キャッシュメモリ13-1、13-2、
 ・ ・ ・ 13-nに格納し、更に、2次キャッシュメモリから処理単位となるデータを1次キャッシュメモリにコピーして処理を行う。

【0011】

処理が終わると、1次キャッシュメモリから2次キャッシュメモリに処理データが格納され、2次キャッシュメモリ内のデータが全て処理し終わると、メモリモジュール11-1、11-2、・・・11-nの内、最初にデータを持ってきたメモリモジュールに対してデータの更新を行う。また、次のデータ処理を行う場合には、上述したように、メモリモジュールから各プロセッサが担当する分のデータを2次キャッシュメモリに格納し、1次キャッシュメモリに処理単位のデータを持ってきて、プロセッサが処理を行う。このような処理を繰り返して、並列にデータ処理を完了する。このとき、各プロセッサが処理した後のデータをメモリモジュールに書き込み、次の処理のために、再びメモリモジュールからデータを読み込む際、各プロセッサが自分のタイミングでデータの読み込みを行っていたのでは、データ更新された後のデータを読み込むべきところを、データ更新される前のデータを読み込んでしまう可能性が有る。したがって、このときには、全てのプロセッサがメモリモジュールにデータ更新し終わるまで、他のプロセッサがメモリモジュールからデータを読み込まないようにする必要がある。このように、プロセッサのメモリモジュールからのデータの読み込みを制限して、全体のプロセッサの処理の同期をとることをバリア同期 (Barrier Synchronization) を取るという。

【0012】

本実施形態では、以下の方法で並列化を行う。

3次元目を均等に分割して各PEで1次元及び2次元のフーリエ変換を行う。このとき、3次元目の各次元要素に対する2次元データに対して2次元フーリエ変換を行う。1次元目と2次元目に関するフーリエ変換をL2キャッシュ（2次キャッシュメモリ）を有効利用して2次元フーリエ変換として行い、更に、この変換で行う1次元フーリエ変換を数本まとめて作業域にコピーして行うことでL1キャッシュ（1次キャッシュメモリ）を有効に利用する。更に、L2キャッシュからL1キャッシュへの展開を効率よく行うために作業域を連続域に確保して、連続アクセス中心のアルゴリズムを利用する。

【0013】

最後に、3次元目に関しては各プロセッサにデータを配分してフーリエ変換を

行うことで並列に処理する。

図 2 は、本発明の実施形態の処理の流れを示すフローチャートである。

【 0 0 1 4 】

まず、ステップ S 1 において、3 次元目のデータ要素を各プロセッサに分担させる。そして、ステップ S 2 において、分担した 3 次元目のデータに対応した 2 次元でのフーリエ変換を行う。そして、以下で、各プロセッサで 2 次元データの行方向のフーリエ変換を行い、このとき行方向を数本例えば 4 本程度束ねて作業用配列（1 次キャッシュメモリ）にコピーして処理を行う。

【 0 0 1 5 】

まず、ステップ S 3 において、各プロセッサで対応する 3 次元目の要素に対する 2 次元フーリエ変換が終わったか否かを判断する。判断が Y E S の場合には、ステップ S 8 に進む。判断が N O の場合には、ステップ S 4 に進み、2 次元目に関する（行ベクトル）のフーリエ変換を数本束ねて作業域にコピーしてから 2 次キャッシュ（L 2 キャッシュ）メモリ上で行う。そして、ステップ S 5 において、2 次元目の変換は全て終わったか否かの判断を行う。判断が N O の場合には、ステップ S 4 に戻って変換処理を続ける。

【 0 0 1 6 】

ステップ S 5 の判断が Y E S の場合には、ステップ S 6 に進む。ステップ S 6 においては、1 次元目に関する（行ベクトル）フーリエ変換を数本束ねて作業域にコピーしてから（L 1 キャッシュ上で）行う。

【 0 0 1 7 】

ステップ S 7 においては、1 次元目の変換は全て終わったか否かが判断される。判断が N O の場合には、ステップ S 6 に戻って、処理を続ける。ステップ S 7 における判断が Y E S の場合には、ステップ S 3 に戻る。

【 0 0 1 8 】

ステップ S 3 の判断が Y E S の場合には、ステップ S 8 に進んで、1 次元及び 2 次元要素を各プロセッサに均等に配分する。そして、ステップ S 9 において、各プロセッサで 3 次元目のデータを割り当てられた 1 次元及び 2 次元要素の中から数本作業域にコピーして、多重 1 次元フーリエ変換を行う。そして、ステップ

S 1 0において、多重1次元フーリエ変換が終わったか否かを判断し、判断がN Oの場合には、ステップS 9に戻って処理を続け、判断がY E Sの場合には、処理を終了する。

【0 0 1 9】

なお、上記、フローチャートでは、3次元フーリエ変換について示したが、本実施形態は、その他の次元でも適用可能である。

図3～図6は、本実施形態の動作を説明する図である。

【0 0 2 0】

なお、これらの図では、3次元フーリエ変換を4スレッド（プロセッサ）で実行する場合に限定して説明するが、同様の方法がもっと多数のスレッドあるいは他の次元のフーリエ変換などにも適用できることは当業者によれば容易に理解されるであろう。

【0 0 2 1】

まず、図3に示されるように、 $256 \times 256 \times 256$ の複素3次元データを4スレッドでフーリエ変換する場合、この複素3次元データを3次元目の方向で4つに分割する。今の場合、3次元目の方向を $64 + 64 + 64 + 64$ に分解する。そして、以下の配列（2次キャッシュメモリ）にそれぞれのデータを格納する。

スレッド1：C（1：256、1：256、1：64）

スレッド2：C（1：256、1：256、65：128）

スレッド3：C（1：256、1：256、129：192）

スレッド4：C（1：256、1：256、193：256）

なお、ここで、1：256という記号は、インデックスが1～256の変数値を配列に設定するという意味である。また、C（x、y、z）において、xが1次元目、yが2次元目、zが3次元目である。

【0 0 2 2】

そして、各スレッドで1次元目及び2次元目のフーリエ変換を行う。スレッド1では、3次元目が1～64までを担当する。最初、スレッド1では、3次元目が1の2次元データに対して2次元フーリエ変換を行う。

【 0 0 2 3 】

図 4 は、各スレッドにおいて、2次元フーリエ変換を行う場合の作業域の利用方法を説明する図である。

フーリエ変換を行うとき、L1 キャッシュに全データがのるように、作業域（L1 キャッシュ）に複数本のデータをコピーして計算する。そして、結果を元の領域に返却する。この返却する領域は、L2 キャッシュ上で連続領域となる。そして、参照・書き込まれたデータは、L2 キャッシュに残るようになる。

【 0 0 2 4 】

これを繰り返して行方向のフーリエ変換を最初に行う。次に、列方向のフーリエ変換を行う。このとき、 256×256 の行方向のアクセスで L2 キャッシュ上にあるデータを再利用でき効率がよい。

【 0 0 2 5 】

図 5 は、列方向の処理の仕方を説明する図である。

作業域（1 次キャッシュメモリ）の大きさは、行ベクトルを複数本コピーしたときと同じ大きさでよい。

【 0 0 2 6 】

すなわち、図 4 の例で言えば、2次元データの2次元目の方向を4本ずつにわけ、作業域にコピーして1次元目の方向の処理を行い。1次元目方向について全て演算が終了した後に、今度は、1次元目方向を4本ずつにわけて、作業域にコピーし、2次元目方向について演算を行う。

【 0 0 2 7 】

そして、この操作を3次元目が1～64について繰り返し行う。

最後に、3次元目のデータに関して、各スレッドで並列にフーリエ変換を行う。

【 0 0 2 8 】

図 6 は、3次元目の方向のフーリエ変換の様子を説明する図である。

すなわち、スレッド1～スレッド4までで2次元フーリエ変換が終了したデータを共有メモリに格納し、逐次共有メモリから各スレッドが担当するデータをL2 キャッシュにコピーして演算を行う。

【 0 0 2 9 】

このときはL 2 キャッシュを効率よく使うことはできないが、L 1 キャッシュにデータを載せて計算を行うため、2 次元フーリエ変換を行うときに使った作業域に数本のベクトルをコピーして3 次元目の方向のフーリエ変換を行う。

【 0 0 3 0 】

1 次キャッシュメモリが1 2 8 k b、2 次キャッシュメモリが8 M bであるとする、1 次キャッシュの大きさとして、例えば、フーリエ変換の長さが
 ～2 5 6 のとき、1 3 本
 ～5 1 2 のとき、1 0 本
 ～1 0 2 4 のとき、7 本
 これ以上のとき、3 本
 というように、作業域に読み込むベクトルの本数を決定して作業域に読み込み、演算を実行する。

【 0 0 3 1 】

また、4 次元フーリエ変換の場合には、上記した2 次元フーリエ変換を1 次元目と2 次元目について行った後、3 次元目と4 次元目について行うようにする。これ以上の次元についても同様であって、偶数次元の場合には、上記した2 次元フーリエ変換を繰り返し行えばよく、奇数次元の場合には、2 次元フーリエ変換を適当回数行った後、残った1 次元について各スレッドで変換を行えばよい。このための詳細な処理方法については、当業者によれば容易に実現可能であろう。

【 0 0 3 2 】

なお、上記実施形態の説明において、フーリエ変換の演算方法については、説明しなかったが、これは、当業者によれば公知の技術であると考えられるので、当業者の知識によれば、上記実施形態は容易に実現されるであろう。

【 0 0 3 3 】

なお、本発明の実施形態は、上記説明から分かるように、共有メモリ型スカラ並列計算機のアルゴリズムとして与えられるので、このアルゴリズムをプログラムとして実現することになる。あるいは、該並列計算機をフーリエ変換専用機として使用する場合には、ROMなどにプログラムを書き込んでおくことも可能で

あるが、汎用の並列計算機として使用する場合には、本発明の実施形態のアルゴリズムは、CD-ROM等の可搬記録媒体や、ハードディスクなどの記録媒体にプログラムとして記録しておき、必要に応じて、プログラムをプロセッサにロードして使用する形態が考えられる。

【0034】

このような場合、本発明の実施形態のアルゴリズムを実現するプログラムは、可搬記録媒体などを使って、ユーザに配布が可能である。

(付記1) 複数のプロセッサを有する共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理方法であって、

変換すべき多次元データを該複数のプロセッサの数と同じ数の複数の2次元データに分割して、各プロセッサの2次キャッシュメモリに格納する分割ステップと、

該2次キャッシュメモリに格納される該2次元データを各プロセッサで2次元フーリエ変換する2次元フーリエ変換ステップと、

上記2次元フーリエ変換ステップを必要な回数繰り返し、必要に応じて、残った1次元分のフーリエ変換を各プロセッサに分担して処理させる1次元フーリエ変換ステップと、

を備えることを特徴とする並列処理方法を情報装置に実現させるプログラムを格納した、情報装置読み取り可能な記録媒体。

【0035】

(付記2) 前記2次元フーリエ変換ステップにおいて、前記2次キャッシュメモリから、ある次元方向のベクトルデータを複数本ずつ1次キャッシュメモリにコピーして、順次処理を行うことを特徴とする付記1に記載の記録媒体。

【0036】

(付記3) 前記多次元フーリエ変換は、3次元フーリエ変換であることを特徴とする付記1に記載の記録媒体。

(付記4) 複数のプロセッサを有する共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理方法であって、

変換すべき多次元データを該複数のプロセッサの数と同じ数の複数の2次元デ

ータに分割して、各プロセッサの 2 次キャッシュメモリに格納する分割ステップと、

該 2 次キャッシュメモリに格納される該 2 次元データを各プロセッサで 2 次元フーリエ変換する 2 次元フーリエ変換ステップと、

上記 2 次元フーリエ変換ステップを必要な回数繰り返し、必要に応じて、残った 1 次元分のフーリエ変換を各プロセッサに分担して処理させる 1 次元フーリエ変換ステップと、

を備えることを特徴とする並列処理方法。

【 0 0 3 7 】

（付記 5）複数のプロセッサを有する共有メモリ型スカラ並列計算機における多次元フーリエ変換の並列処理装置であって、

変換すべき多次元データを該複数のプロセッサの数と同じ数の複数の 2 次元データに分割して、各プロセッサの 2 次キャッシュメモリに格納する分割手段と、

該 2 次キャッシュメモリに格納される該 2 次元データを各プロセッサで 2 次元フーリエ変換する 2 次元フーリエ変換手段と、

上記 2 次元フーリエ変換ステップを必要な回数繰り返し、必要に応じて、残った 1 次元分のフーリエ変換を各プロセッサに分担して処理させる 1 次元フーリエ変換手段と、

を備えることを特徴とする並列処理装置。

【 0 0 3 8 】

【発明の効果】

本発明によれば、高性能かつスケーラビリティのある並列多次元フーリエ変換が実現できる。

【図面の簡単な説明】

【図 1】

共有メモリ型スカラ並列計算機のハードウェア構成例を示す図である。

【図 2】

本発明の実施形態の処理の流れを示すフローチャートである。

【図 3】

本実施形態の動作を説明する図（その 1）である。

【図 4】

本実施形態の動作を説明する図（その 2）である。

【図 5】

本実施形態の動作を説明する図（その 3）である。

【図 6】

本実施形態の動作を説明する図（その 4）である。

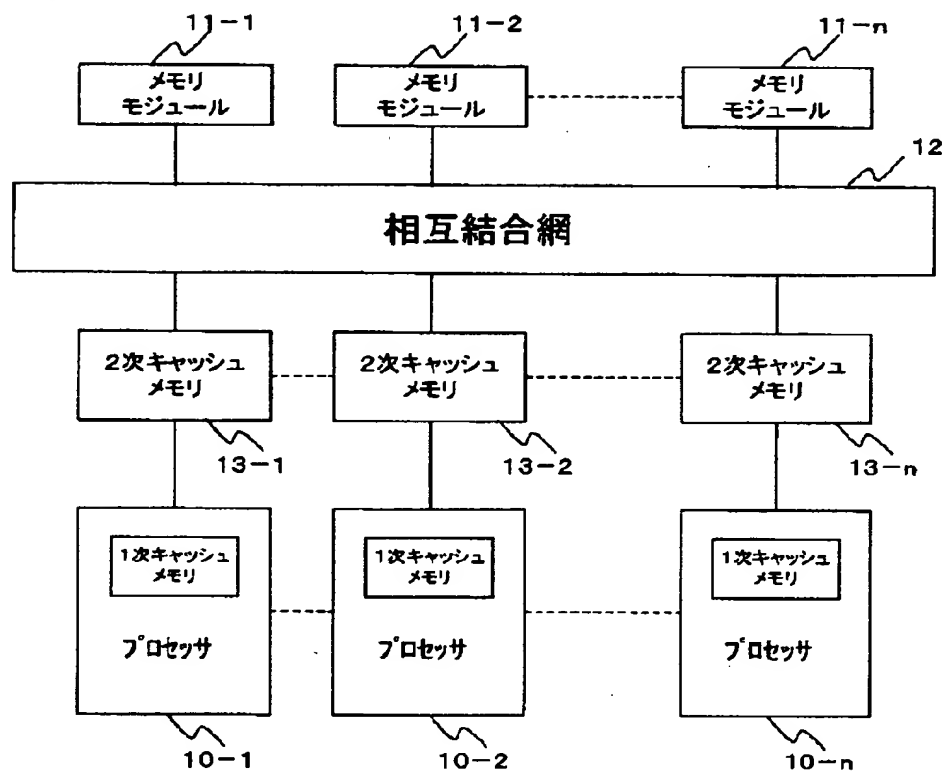
【符号の説明】

| | |
|-------------------|-------------|
| 1 0 - 1 ~ 1 0 - n | プロセッサ |
| 1 1 - 1 ~ 1 1 - n | メモリモジュール |
| 1 2 | 相互結合網 |
| 1 3 - 1 ~ 1 3 - n | 2 次キャッシュメモリ |

【書類名】 図面

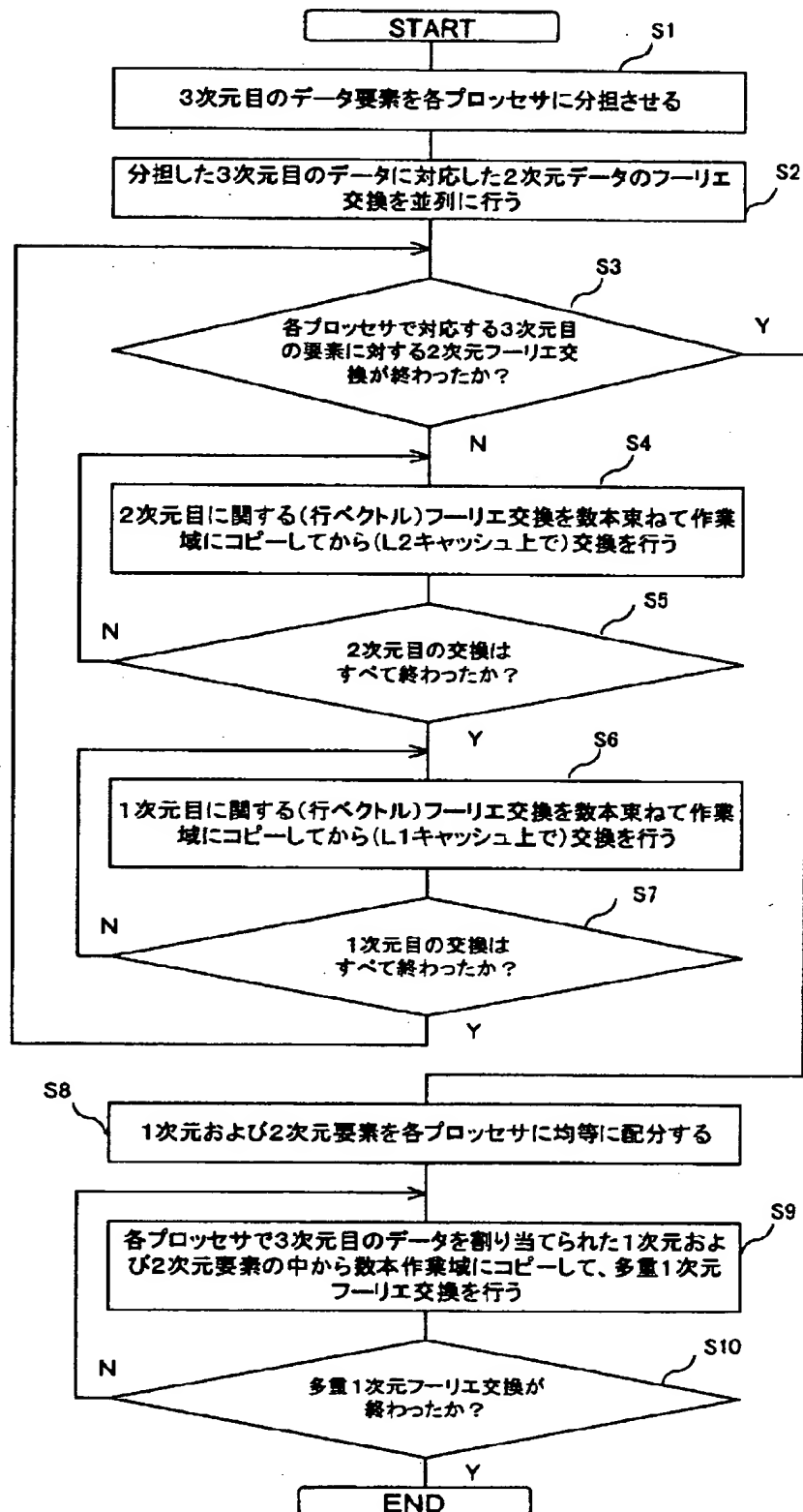
【図 1】

共有メモリ型スカラー並列計算機のハードウェア構成例を示す



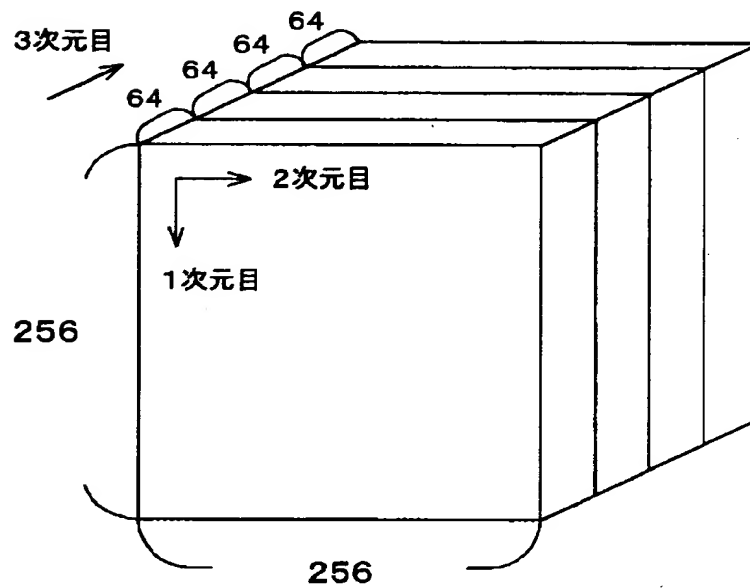
【図 2】

本発明の実施形態の処理の流れを示すフローチャート



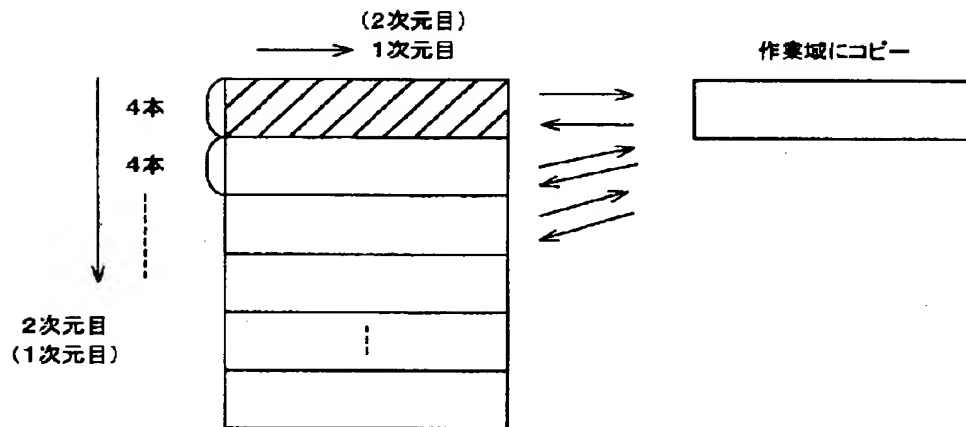
【図 3】

本実施形態の動作を説明する図(その1)



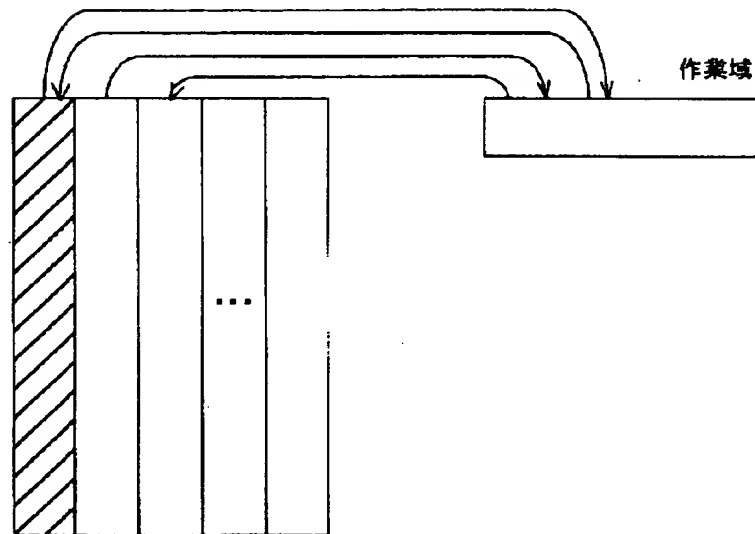
【図 4】

本実施形態の動作を説明する図(その2)



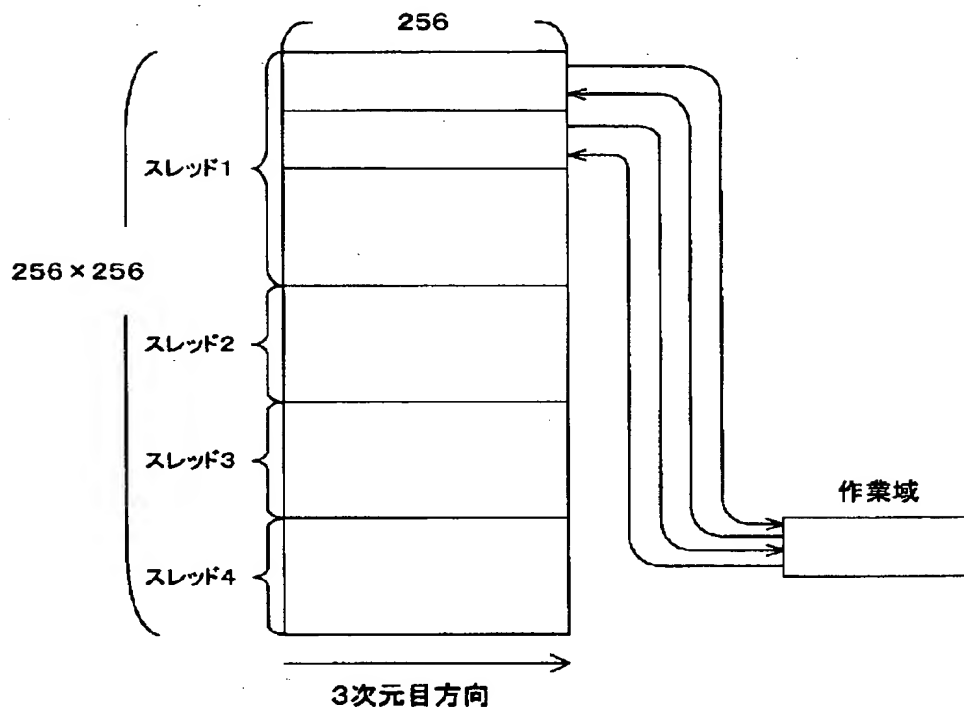
【図 5】

本実施形態の動作を説明する図(その3)



【図6】

本実施形態の動作を説明する図(その4)



【書類名】 要約書

【要約】

【課題】 キャッシュメモリを有効に利用した多次元フーリエ変換の並列処理方法を提供する。

【解決手段】 処理すべき 3 次元データを 3 次元目の方向でスレッドの数だけ分割し、それぞれを各スレッドの 2 次キャッシュメモリに格納する。そして、各スレッドは、2 次キャッシュに格納されたデータを使って、1 次元目と 2 次元目の方向にフーリエ変換を行う。これにより、2 次元フーリエ変換を一度に並列に行うことが出来る。そして、2 次元フーリエ変換が終わったデータを共有メモリに戻して、各スレッドで、3 次元目の方向のフーリエ変換を行う。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

| | |
|----------|-----------------------------|
| 1. 変更年月日 | 1 9 9 6 年 3 月 2 6 日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 |
| 氏 名 | 富士通株式会社 |